

#2
Priority
Paper
IV-2-8-98
PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Yoshiaki YAMAMOTO

Serial No. (unknown)

Filed herewith

METHOD OF FABRICATING SEMICONDUCTOR
DEVICE FOR PREVENTING RISING-UP
OF SILISIDE

jc542 U.S. PTO
09/089666
06/03/98

CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's
corresponding patent application filed in Japan on June 6, 1997,
under No. 149733/1997.

Applicant herewith claims the benefit of the priority
filing date of the above-identified application for the above-
entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By



Robert J. Patch
Attorney for Applicant
Registration No. 17,355
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

June 3, 1998

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS42 U.S. PTO
09/089666
06/03/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願 年 月 日
Date of Application:

1997年 6月 6日

願 番 号
Application Number:

平成 9年特許願第149733号

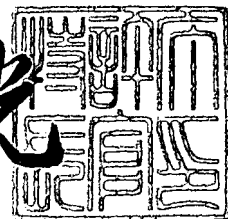
願 人
Applicant(s):

日本電気株式会社

1998年 1月23日

特許庁長官
Commissioner,
Patent Office

荒井寿光



出証番号 出証特平09-3112429

【書類名】 特許願

【整理番号】 74803682

【提出日】 平成 9年 6月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 山本 悦章

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代表者】 金子 尚志

【代理人】

【識別番号】 100070219

【弁理士】

【氏名又は名称】 若林 忠

【電話番号】 03-3585-1882

【手数料の表示】

【予納台帳番号】 015129

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 素子分離領域形成工程と、サイドウォール形成工程と、拡散層形成工程と、活性化工程と、シリサイド形成工程と、除去工程とを含む半導体装置の製造方法であって、

素子分離領域形成工程は、半導体基板上にフィールド酸化膜を形成し素子分離領域を形成する工程であり、

サイドウォール形成工程は、半導体基板上に形成されたゲート電極の側壁に絶縁物によりサイドウォール膜を形成する工程であり、

拡散層形成工程は、前記ゲート電極をマスクにして不純物を半導体基板に導入し拡散層を形成するために、前記不純物の元素のフッ化物（イオン注入種）を注入する工程あり、

活性化工程は前記拡散層を熱処理により活性化する工程であり、

シリサイド形成工程は、半導体基板の全面にチタンを推積し、熱処理により前記ゲート電極上及び拡散層上のどちらか一方もしくは両方にTiシリサイドを自己整合的に形成する工程であり、

除去工程はシリサイド化されなかったチタンを除去する工程であり、

前記拡散層形成のためのイオン注入から活性化工程の間に活性化のための熱処理温度よりも低温で熱処理を行い、前記フィールド酸化膜表層、サイドウォール膜表層、シリコン基板及びシリコン基板とフィールド酸化膜との界面から、前記イオン注入種から生成したフッ素を外部へ放出させることを特徴とする半導体装置の製造方法。

【請求項2】 前記低温熱処理が、前記活性化工程と同装置にて連続で行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記拡散層へ注入される前記イオン注入種がフッ素及びほう素含むイオンであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記低温熱処理により、前記フッ素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下にすることを特徴とする半導体装置の製造方法。

【請求項5】 前記低温熱処理の温度が、300℃から750℃であることを特徴とする、請求項1記載の半導体装置の製造方法。

【請求項6】 前記低温熱処理の方法が、拡散炉、RTP装置、ホットプレートであることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造等に適用されるTiシリサイドの形成方法に関し、特にゲート電極と拡散層間又は隣り合う拡散層間の電氣的ショートによる不良を起こさず、安定して良品を提供する方法に関するものである。

【0002】

【従来の技術】

近年におけるLSI等の半導体集積回路の高集積化に伴って、素子の微細化が進められている。例えば、ソース、ドレイン領域の不純物拡散層が浅く、かつ低面積化され、また素子間を接続する配線も低幅化されている。このため、不純物拡散層や配線における電気抵抗が増大し、素子動作の高速化の障害となっている。この様なことから、最近の半導体装置では不純物拡散層の表面を高融点金属シリサイド化、特にTiシリサイド化して抵抗の低減を行い、素子動作速度の向上を図る試みがなされている。

【0003】

このTiシリサイド層の形成には、自己整合的に形成する方法が、USP-4,855,798によって示されている。Tiシリサイドを自己整合的に形成する方法を図4及び図5(2(a)~2(g))を用いて説明する。

【0004】

2(a)に示すように半導体基板1上にフィールド酸化膜2、ゲート酸化膜3、ゲート電極4及びサイドウォール膜5を形成する。露出しているシリコン基板6は不純物イオンが注入され拡散層領域となる。

次にイオン注入のための保護の酸化膜7を、例えばCVD法にて全面に形成した後、不純物イオン8を注入し、拡散層9を形成する(2(b))。続いて、90

0℃以上の熱処理を行い、拡散層9の活性化を行う（活性化された拡散層14形成）。

【0005】

その後、保護の酸化膜7を除去し、さらにTiスパッタ前に拡散層上の自然酸化膜を除去する（2（c））。

次に、2（d）に示すように全面にTi膜11を、例えばスパッタ法にて全面に成膜する。これを700℃以下の温度で不活性ガス雰囲気中、例えば窒素雰囲気中で熱処理し、高抵抗の $TiSi_2$ であるC49相のTiシリサイド層12を形成する（第1シンター）。この時Tiシリサイド層12は、ゲート電極4上及び拡散層9上の上に自己整合的に形成される（2（e））。

【0006】

そして、フィールド酸化膜2及びサイドウォール膜5上の未反応のTi膜11を除去し（2（f））、さらに800℃以上で熱処理を行う。この結果、2（g）に示すような低抵抗の $TiSi_2$ であるC54相のTiシリサイド層13が形成される（第2シンター）。

【0007】

しかしながら、上記の方法にてTiシリサイドを形成すると、素子の微細化が進むに従いゲート電極と拡散層であるソース又はドレイン領域の間のショート、または隣り合う拡散層間でのショート、といった問題が発生した。このショートは、本来Tiシリサイドが形成されない領域、つまりゲート電極と拡散層を分離するサイドウォール膜上及び拡散層間を分離するフィールド酸化膜上へのTiシリサイドのせり上がり、又は導電性物質の形成により発生する。ショートの要因であるTiシリサイドのせり上がり、又は導電性物質を除去するために、上述した未反応のTiのエッチング時間を長くすると、拡散層のTiシリサイドまでエッチングされてしまい、拡散層抵抗が上昇してしまうという弊害が生じた。

【0008】

そこで、このTiシリサイドを形成すべき領域以外へのTiシリサイドの拡がりによるせり上がりを防止する方法がいくつか提案されている。

【0009】

その一つは、特開昭61-150216に示されている。この方法は、シリコン基板上にTi膜を形成後、400℃～600℃の比較的低温で第一シンターを行いシリサイド化反応を行い、未反応のTiを除去して、拡散層及びゲート電極上に高抵抗のTiシリサイドを形成し、その後800℃以上の温度で第二シンターを行って高抵抗Tiシリサイドを低抵抗のTiシリサイドに変える方法である。第一シンター温度を低温で行うため、Tiシリサイドのせり上がりを防止するという効果の特徴としている。

【0010】

また、別の方法としては、特開昭59-126672に示されており、その構造を図6に示す。この方法は、サイドウォール膜上のTiシリサイドのせり上がり、または、サイドウォール膜とTi膜との反応を抑制することを目的として、Ti膜と反応しにくいSiN膜15でサイドウォールを形成する方法である。

【0011】

【発明が解決しようとする課題】

しかしながら、上述した方法では以下に示す新たな問題が生じた。

第一に示した方法では、拡散層またはゲート電極の微細化により、所望の抵抗が得られないという問題である。これは、第一シンター温度が低いためTiシリサイドの抵抗が高く、第二シンター後の拡散層の層抵抗が所望の抵抗値以下にならないというものである。所望の抵抗値以下の拡散層抵抗にするために、第二シンター温度を上昇させると、Tiシリサイドが凝集するという問題が生じてしまう。このため、第一シンター温度の低温化では、Tiシリサイドのせり上がりは抑制できても拡散層の低抵抗化は達成できない。

【0012】

また、第二の方法では、ゲート電極と拡散層間のリークは抑制できるものの隣り合う拡散層間のリークは抑制出来ないという問題がある。

【0013】

この様に、従来の技術ではゲート電極と拡散層間及び隣り合う拡散層間のリークを完全には抑制することが出来ない。

【0014】

そこで、このリークを完全に抑制するためにTiシリサイドのせり上がりの要因を調査した。Tiシリサイドのせり上がりの程度がP型拡散層の方が悪いことから、P型のイオン注入種に着目した。図7にイオン注入種が BF_2^+ （質量49）と B^+ （質量11）の場合のTiシリサイドのせり上がり具合を示す。 BF_2^+ （質量49）で注入したものではTiシリサイドのせり上がりが見られるのに対し、 B^+ （質量11）ではせり上がりは見られない。このことから、Tiシリサイドのせり上がりは、P型イオン注入種である BF_2^+ （質量49）中のFがフィールド酸化膜及びサイドウォール膜中に残存し、Tiシリサイド反応時にフィールド酸化膜上及びサイドウォール膜上にもTiシリサイド反応を誘発してしまうことが判明した。

【0015】

P型拡散層形成のイオン注入種を B^+ （質量11）にて行えば、Tiシリサイドのせり上がりは抑制されるが、注入種として B^+ （質量11）を用いると、浅い拡散層の形成ができず、集積回路の微細化に対応できない。

【0016】

そこで、本発明は以上の問題点を考慮し、半導体装置の製造等に適用されるTiシリサイドの形成方法に関し、特にゲート電極と拡散層間又は隣り合う拡散層間の電氣的ショートによる不良を起こさず、安定して良品を形成する方法を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明のTiシリサイドの形成方法は、上述の目的を達成するために提案されるものである。

【0018】

すなわち、本願の第1の発明は、素子分離領域形成工程と、サイドウォール形成工程と、拡散層形成工程と、活性化工程と、シリサイド形成工程と、除去工程とを含む半導体装置の製造方法であって、

素子分離領域形成工程は、半導体基板上にフィールド酸化膜を形成し素子分離領域を形成する工程であり、

サイドウォール形成工程は、半導体基板上に形成されたゲート電極の側壁に絶縁物によりサイドウォール膜を形成する工程であり、

拡散層形成工程は、前記ゲート電極をマスクにして不純物を半導体基板に導入し拡散層を形成するために、前記不純物の元素のフッ化物（イオン注入種）を注入する工程あり、

活性化工程は前記拡散層を熱処理により活性化する工程であり、

シリサイド形成工程は、半導体基板の全面にチタンを推積し、熱処理により前記ゲート電極上及び拡散層上のどちらか一方もしくは両方にTiシリサイドを自己整合的に形成する工程であり、

除去工程はシリサイド化されなかったチタンを除去する工程であり、

前記拡散層形成のためのイオン注入から活性化工程の間に活性化のための熱処理温度よりも低温で熱処理を行い、前記フィールド酸化膜表層、サイドウォール膜表層、シリコン基板及びシリコン基板とフィールド酸化膜との界面から、前記イオン注入種から生成したフッ素を外部へ放出させることを特徴とする半導体装置の製造方法を提供するものである。

【0019】

また本願の第2の発明は、前記低温熱処理が、前記活性化工程と同装置にて連続で行われることを特徴とする。

【0020】

また、前記拡散層へ注入される前記イオン注入種がフッ素及びホウ素を含むイオンである。

【0021】

また、前記低温熱処理により前記フッ素濃度を、 $1 \times 10^{20} \text{ atom/cm}^3$ 以下にするものである。

【0022】

また、前記低温熱処理の温度は、 300°C から 750°C である。

【0023】

また、前記低温熱処理の方法は、拡散炉、RTP装置、ホットプレートである。

【0024】

拡散層形成工程は、前記ゲート電極をマスクにして不純物を半導体基板に導入し拡散層を形成する処理であり、該不純物としては拡散層を形成するものであり、イオン注入種が好ましく使用され、特にホウ素を含むイオン注入種であり、さらにホウ素のフッ化物がイオン注入種が好ましい。

【0025】

前記拡散層形成のためのイオン注入から活性化工程の間に低温熱処理を行い、前記フィールド酸化膜表層、サイドウォール膜表層、シリコン基板及びシリコン基板とフィールド酸化膜との界面から、前記イオン注入種から発生するフッ素を外部へ放出させることを特徴とする。本発明の好ましい実施態様は、前記低温熱処理が、前記活性化工程と同装置にて連続で行われることである。

【0026】

【作用】

本発明においてフッ素を含むイオン注入種を用いた例で作用を説明する。

【0027】

本発明は、活性化する前に、フィールド酸化膜表層、サイドウォール膜表層、シリコン基板及びシリコン基板とフィールド酸化膜との界面に注入されたフッ素を取り除く工程を導入したことを特徴とする。フッ素を取り除く理由は、P型拡散層を形成するために、フィールド酸化膜中、サイドウォール膜中及びシリコン基板中にイオン注入されたフッ素が、Tiシリサイド形成工程における第一シンター時に本来形成してはならないフィールド酸化膜及びサイドウォール膜上に、Tiシリサイドのせり上がりを誘発してしまうからである。せり上がりが発生すると、ゲート電極と拡散層及び隣り合う拡散層同士とのショートを引き起こしてしまう。そこでこのフッ素を除去し、Tiシリサイドのせり上がりを抑制しようというものである。

【0028】

フッ素の除去方法として、活性化する前に低温熱処理を行うことを特徴とする。この方法により、Tiシリサイドのせり上がりがなく、リークによる不良を起こさずに安定して良品を得ることができる。

【0029】

【実施例】

以下、本発明の具体的な実施例について図面に従って説明する。

【0030】

実施例1

本実施例は、本願の第1の発明を適用し、図1、図2の1(a)～1(h)を参照しながら説明する。

1(a)に示すようにシリコン基板1上にフィールド酸化膜2、ゲート酸化膜3、ゲート電極4及びサイドウォール膜5を形成する。露出しているシリコン基板6は不純物イオンが注入され拡散層領域となる。

【0031】

次にイオン注入のための保護の酸化膜7を、CVD法にて全面に形成した後、不純物イオン8を注入し、拡散層9を形成する(1(b))。ここでは、P型拡散層形成に関して示す。P型不純物として、浅接合形成が可能な BF_2^+ (質量49)イオンを30KeV、 $3 \times 10^{15} \text{ cm}^{-2}$ の条件で全面に注入する。この時イオン注入種の構成元素であるB及びFの濃度のDepth Profileは、注入エネルギーにより決定され、図8に示すように、Bでは約30nm付近、Fでは約25nm付近でそれぞれ最大濃度を持つ。

【0032】

次に、拡散炉にて窒素雰囲気中で700℃、60分の熱処理を行う(1(c))。この熱処理時に、フィールド酸化膜2、サイドウォール膜5、シリコン基板9及びシリコン基板9とフィールド酸化膜2との界面に存在していたF(フッ素)10がアウトガスとして放出され、フィールド酸化膜2、サイドウォール膜5、シリコン基板9及びシリコン基板9とフィールド酸化膜との界面のF濃度が $1 \times 10^{20} \text{ atom/cm}^3$ 以下となる。

【0033】

次に、ランプアニール装置にて1000℃、10秒の熱処理を行い、拡散層の活性化を行う(活性化された拡散層14形成)。ここで、不純物イオンの活性化後に低温熱処理を行うと、FはSi等と結合してしまい、アニールアウトできな

い。よって活性化熱処理前に低温熱処理を行うのが効果的である。

【0034】

その後、保護の酸化膜7をRIEエッチング装置にて除去し、さらにT iスパッタ前に1:100 DHF液で拡散層上及びゲート電極上の自然酸化膜を除去する(1(d))。

【0035】

次に、1(e)に示すように全面にT i膜11をスパッタにより30nm成膜する。これをランプアニール装置にて700℃、30秒の熱処理を行い、高抵抗のT i S i₂であるC49相のT iシリサイド層12を形成する(第1シンター)(1(f))。この時T iシリサイド層12は、ゲート電極3上及び拡散層9上のみ自己整合的に形成される。

【0036】

そして、フィールド酸化膜2及びサイドウォール膜5上の未反応のT i膜11をアンモニア過水で除去する(1(g))。

【0037】

この後、さらにランプアニール装置にて850℃、10秒の熱処理を行う。この結果、1(h)に示すような低抵抗のT i S i₂であるC54相のT iシリサイド層13が形成される(第2シンター)。

【0038】

このようにして形成したT iシリサイド膜は、フィールド酸化膜2及びサイドウォール膜5上へのせり上がりは見られず、T iシリサイドの層抵抗が10Ω/□以下の低抵抗となり、素子動作速度の向上が実現でき、図9に示すように良品率が増加する。

【0039】

実施例2

本実施例は、本願の第2の発明を適用し、図1、図2の1(a)~1(h)を参照しながら説明する。

まず、1(a)に示すように実施例1同様シリコン基板1上にフィールド酸化膜2、ゲート酸化膜3、ゲート電極4及びサイドウォール膜5を形成する。露出し

ているシリコン基板 6 は不純物イオンが注入され拡散層領域となる。

【0040】

次にイオン注入のための保護の酸化膜 7 を、CVD 法にて全面に形成した後、不純物イオン 8 を注入し、拡散層 9 を形成する (1 (b))。ここでは実施例 1 同様、P 型拡散層形成に関して示す。P 型不純物として、浅接合形成が可能な BF_2^+ (質量 49) イオンを 30 KeV、 $3 \times 10^{15} \text{ cm}^{-2}$ の条件で全面に注入する。この時イオン注入種 B 及び F の濃度の Depth Profile は、注入エネルギーにより決定され、図 8 に示すように、B では約 30 nm 付近、F では約 25 nm 付近でそれぞれ最大濃度を持つ。

【0041】

次に不純物イオンの活性化として、ランプアニール装置にて 1000℃、10 秒の熱処理を行うが、図 3 に示すように温度を変化させる。図 3 のステップ a ではフィールド酸化膜、サイドウォール膜、シリコン基板及びシリコン基板とフィールド酸化膜との界面から、F がアウトガスとして放出され (1 (c))、フィールド酸化膜、サイドウォール膜、シリコン基板及びシリコン基板とフィールド酸化膜との界面の F 濃度が $1 \times 10^{20} \text{ atom/cm}^3$ 以下になる。図 3 のステップ b では不純物イオンの活性化を行う (活性化された拡散層 14 形成)。こうすることで、工程及び製造装置を増やす必要がない。

【0042】

次に、保護の酸化膜 7 を RIE エッチング装置にて除去する (1 (d))。その後、Ti スパッタ前に 1 : 100 DHF 液で拡散層上及びゲート電極上の自然酸化膜を除去する。

【0043】

次に、1 (e) に示すように全面に Ti 膜 11 をスパッタにより 30 nm 成膜する。これをランプアニール装置にて 700℃、30 秒の熱処理を行い、高抵抗の TiSi_2 である C49 相の Ti シリサイド層 12 を形成する (第 1 シンター) (1 (f))。この時 Ti シリサイド層 12 は、ゲート電極 3 上及び拡散層 9 上のみに自己整合的に形成される。

【0044】

そして、フィールド酸化膜2及びサイドウォール膜5上の未反応のTi膜11をアンモニア過水で除去する(1(g))。

【0045】

この後、さらにランプアニール装置にて850℃、10秒の熱処理を行う。この結果、1(h)に示すような低抵抗のTiSi₂であるC54相のTiシリサイド層13を形成する(第2シンター)。

【0046】

このようにして形成したTiシリサイド膜は、フィールド酸化膜5及びサイドウォール膜4上へのはい上がりは見られず、Tiシリサイドの層抵抗が10Ω/□以下の低抵抗となり、素子動作速度の向上が実現できる。

【0047】

【発明の効果】

本発明を用いて形成したTiシリサイドは、フィールド酸化膜及びサイドウォール酸化膜のフッ素濃度を低下させることにより、Tiシリサイドのせり上がりを抑制し、ゲート電極と拡散層間及び拡散層間のリークもなく、安定して良品を得ることが達成できる。

【図面の簡単な説明】

【図1】

本願の第1及び第2の実施例であるTiシリサイド形成方法の1適用例をその工程順に従って示す模式的断面図である。

【図2】

本願の第1及び第2の実施例であるTiシリサイド形成方法の1適用例をその工程順に従って示す模式的断面図の図1の続きである。

【図3】

本願の第2の実施例である低温熱処理と活性化熱処理を同時に行うときの処理温度プロファイルを示したものの。

【図4】

従来のTiシリサイド形成方法の1例をその工程順に従って示す模式的断面図である。

【図5】

従来のTiシリサイド形成方法の1例をその工程順に従って示す図4の続きの模式的断面図である。

【図6】

従来技術におけるTiシリサイド形成後の断面構造の1例。

【図7】

図6で示される形状の半導体装置の斜め上方から見たSEM写真であり、基板上に形成された微細パターンを示し、Tiシリサイドのせり上がりを示すもので、注入される不純物イオンによってせり上がりの程度が異なることを示すものである。(a)は注入種として B^+ (質量11)、(b)は注入種として BF^{2+} (質量49)を使用した場合である。

【図8】

P型イオン注入種である BF_2^+ (質量49)のB及びFの濃度のDepth Profileを示すグラフである。

【図9】

実施例1を行ったときの良品率とフッ素濃度との関係を示す図である。

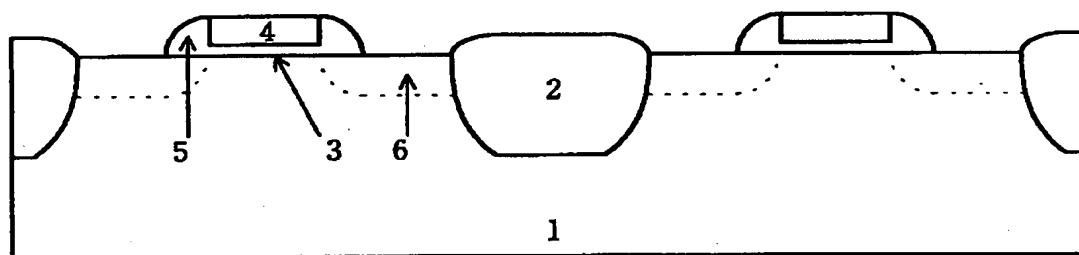
【符号の説明】

- 1 シリコン基板
- 2 フィールド酸化膜 3 ゲート酸化膜
- 4 ゲート電極
- 5 サイドウォール膜
- 6 拡散層が形成される領域
- 7 保護の酸化膜
- 8 不純物イオン
- 9 拡散層
- 10 アニールアウトされるフッ素
- 11 チタン膜
- 12 $TiSi_2$ C49相
- 13 $TiSi_2$ C54相

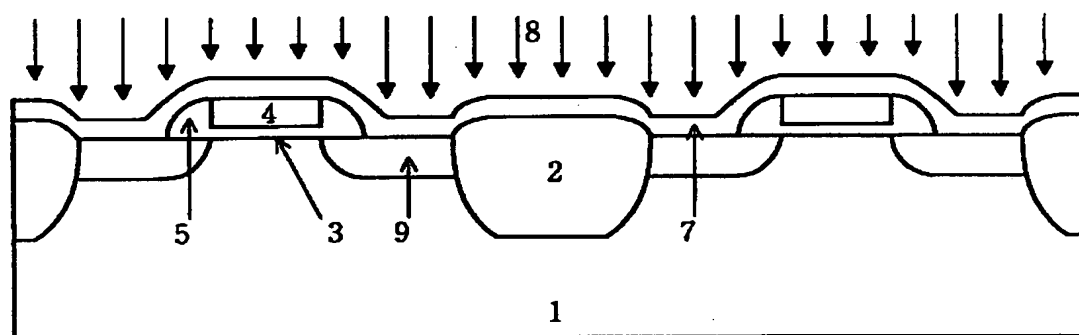
- 14 活性化された拡散層
- 15 SiNサイドウォール膜

【書類名】 図面

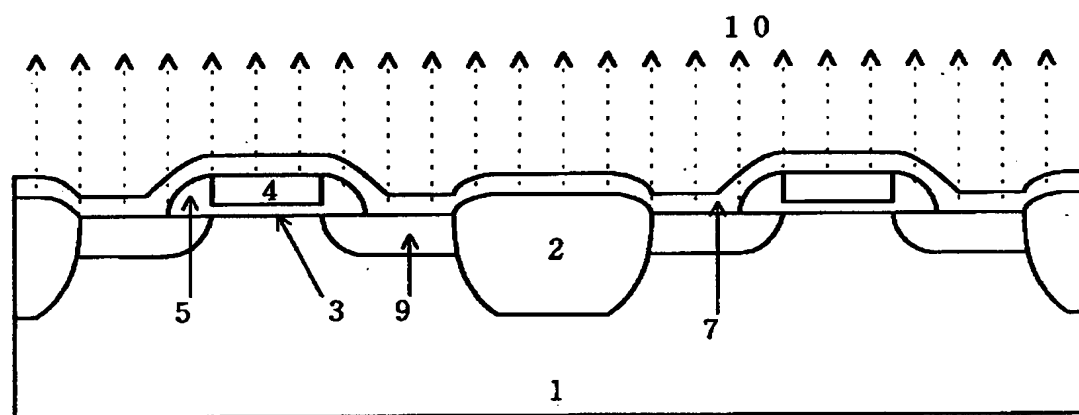
【図 1】



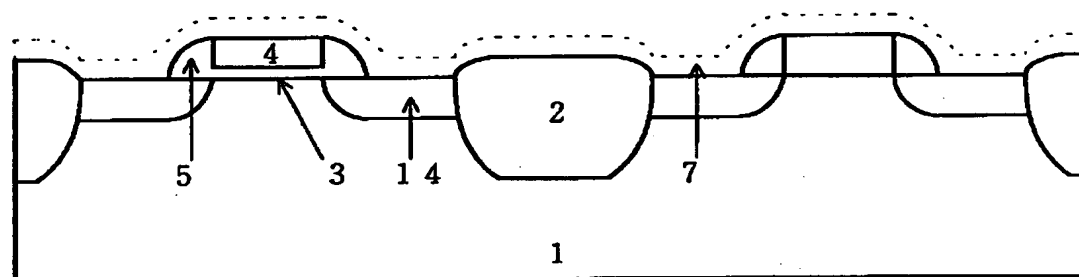
1(a)



1(b)

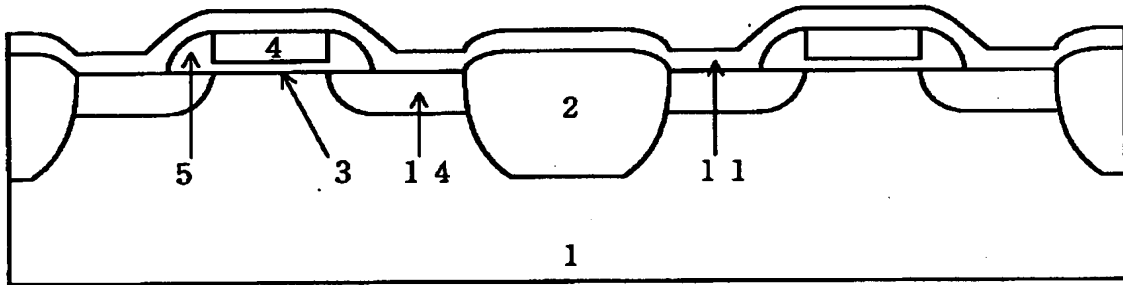


1(c)

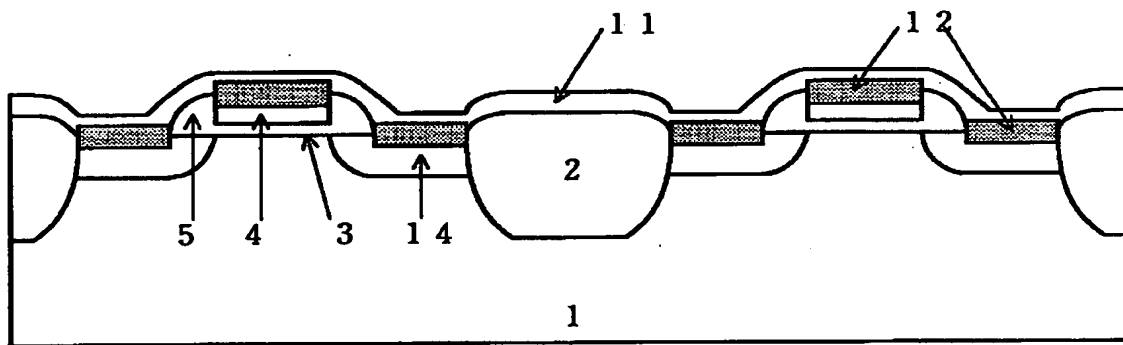


1(d)

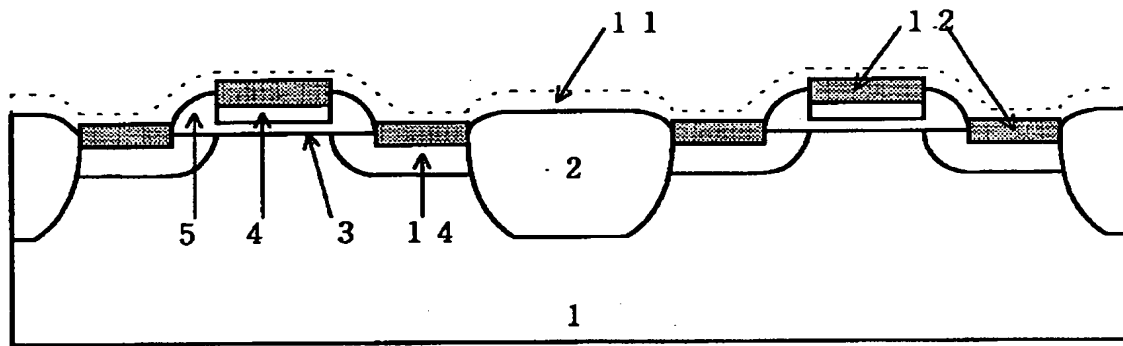
【図2】



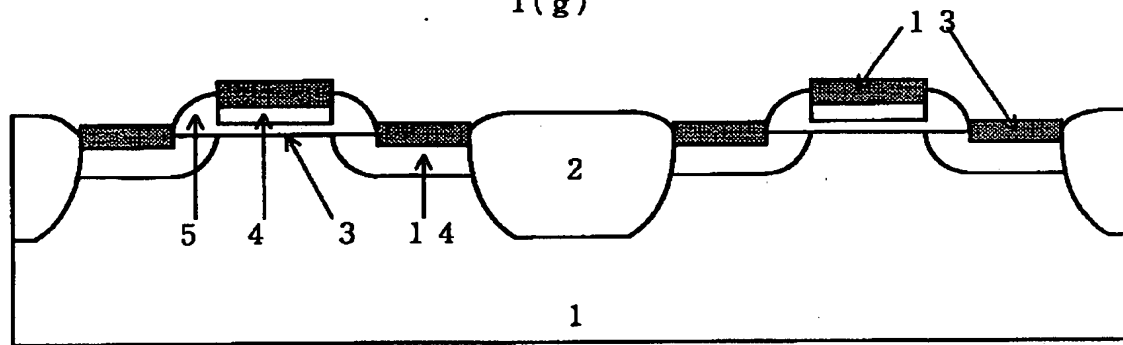
1(e)



1(f)

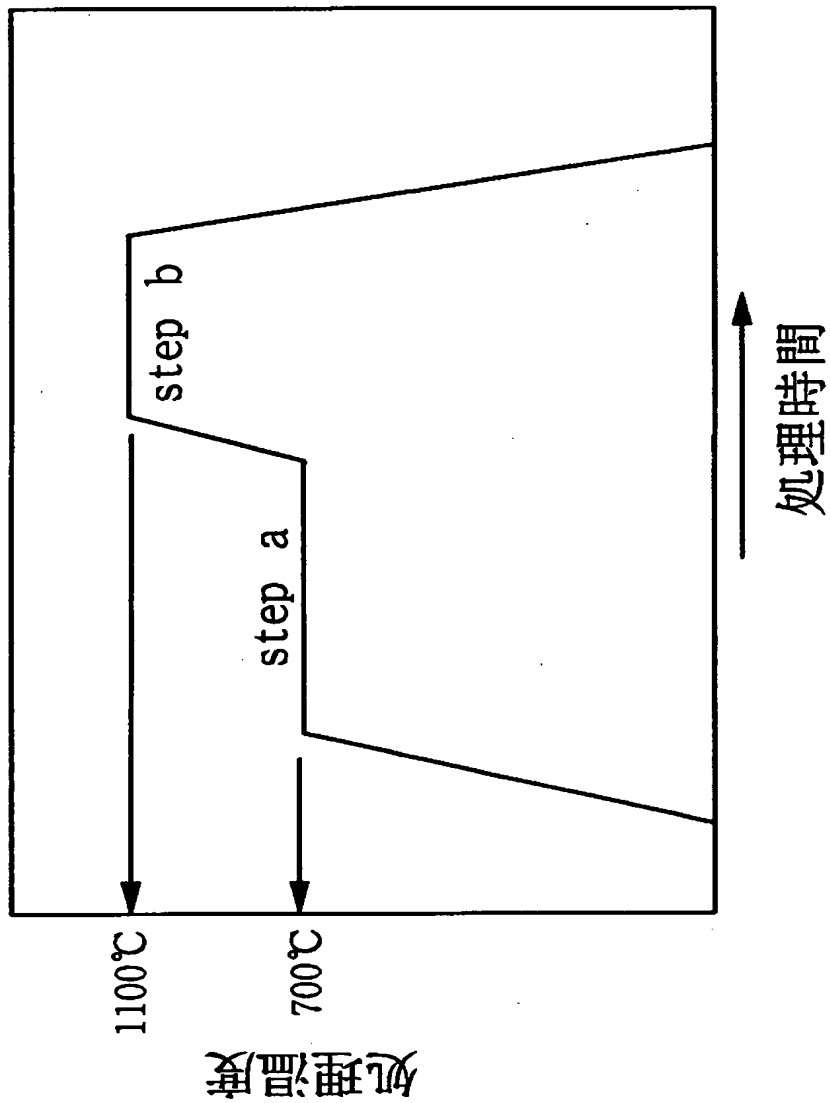


1(g)

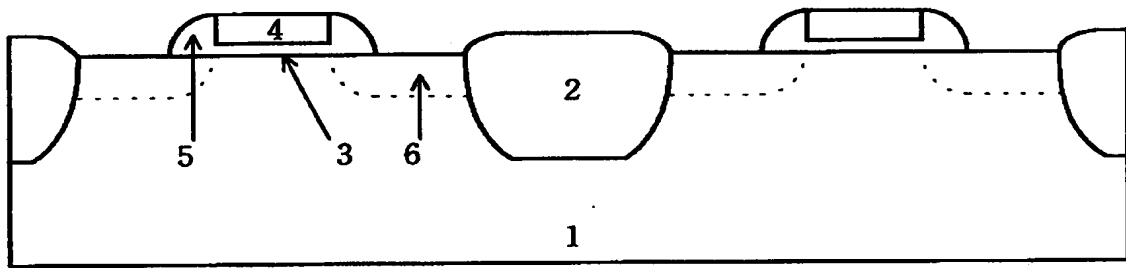


1(h)

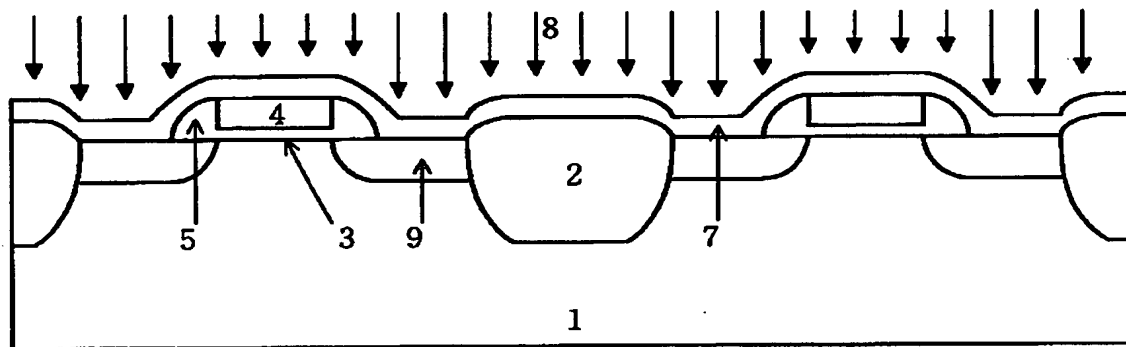
【図3】



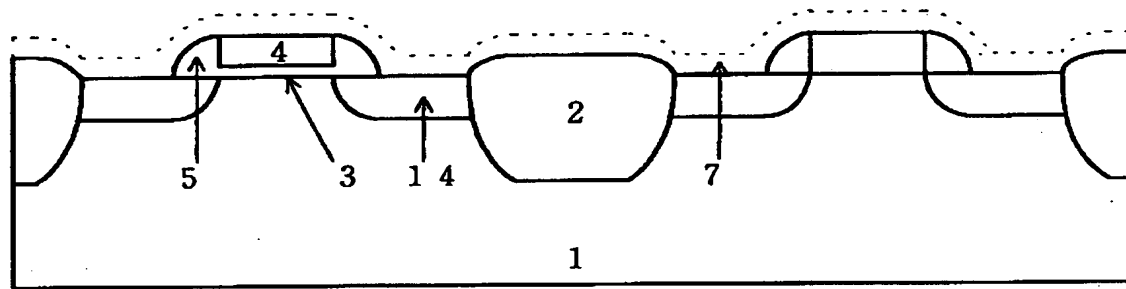
【図4】



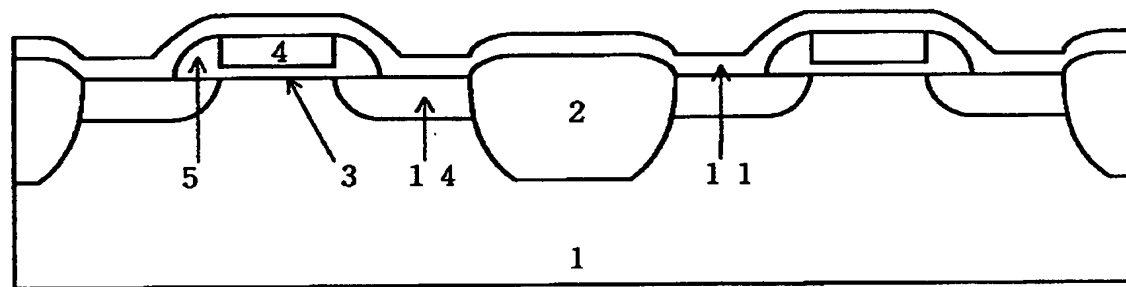
2(a)



2(b)

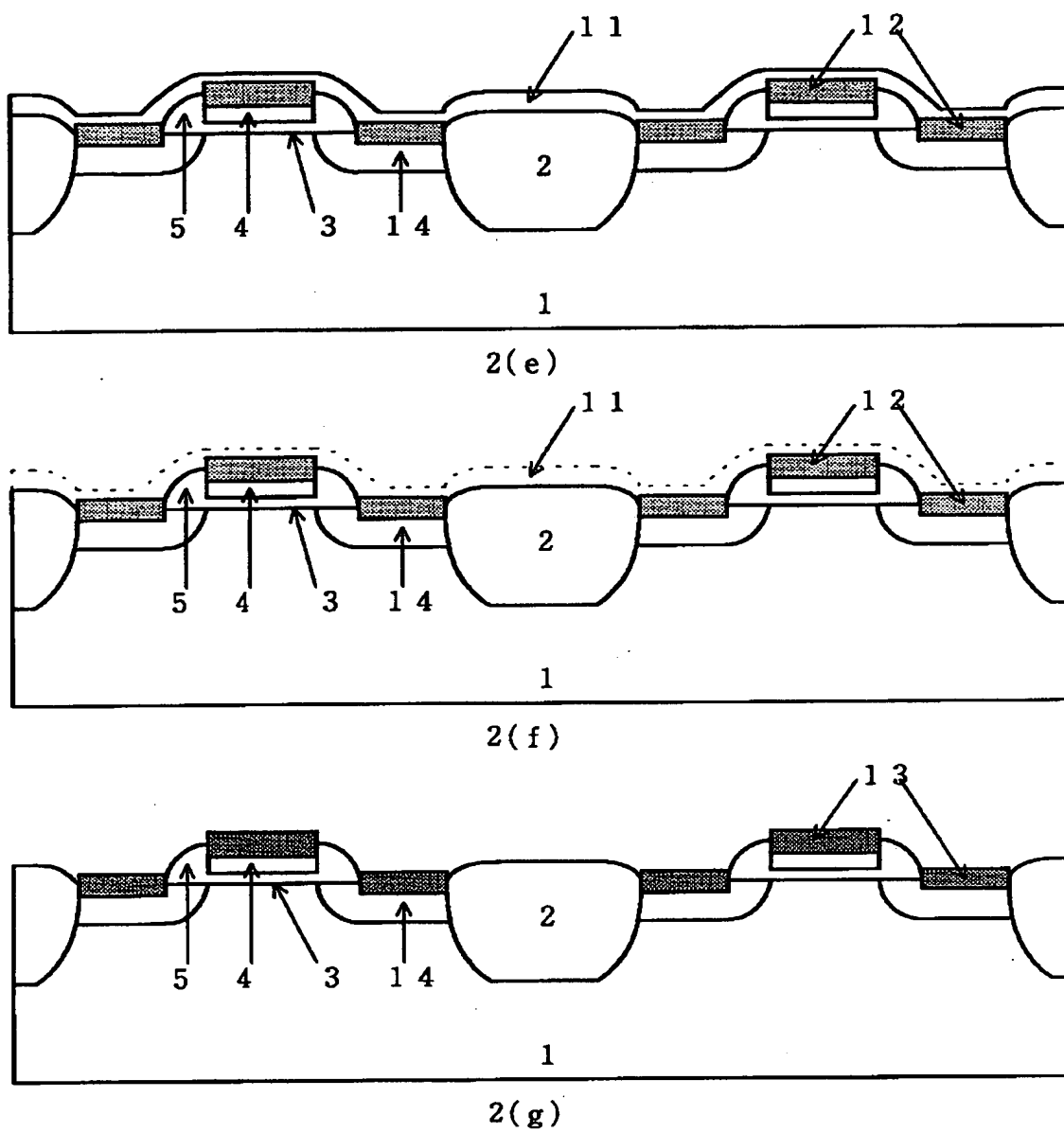


2(c)

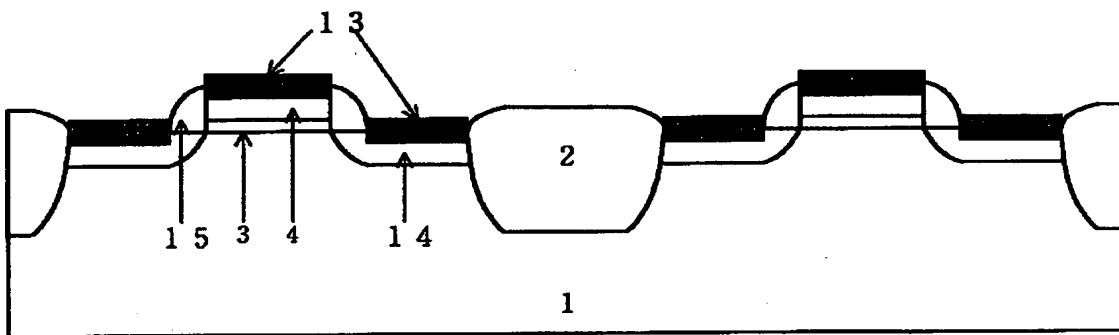


2(d)

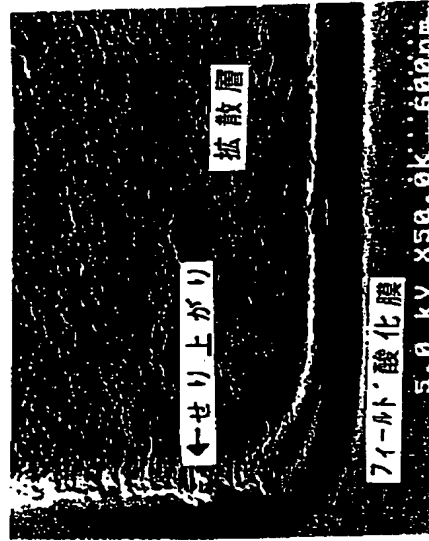
【図5】



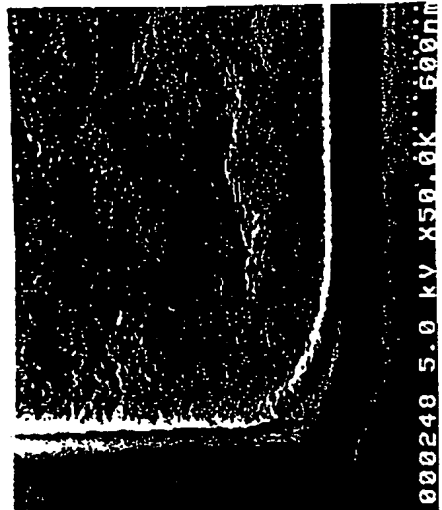
【図6】



【図 7】

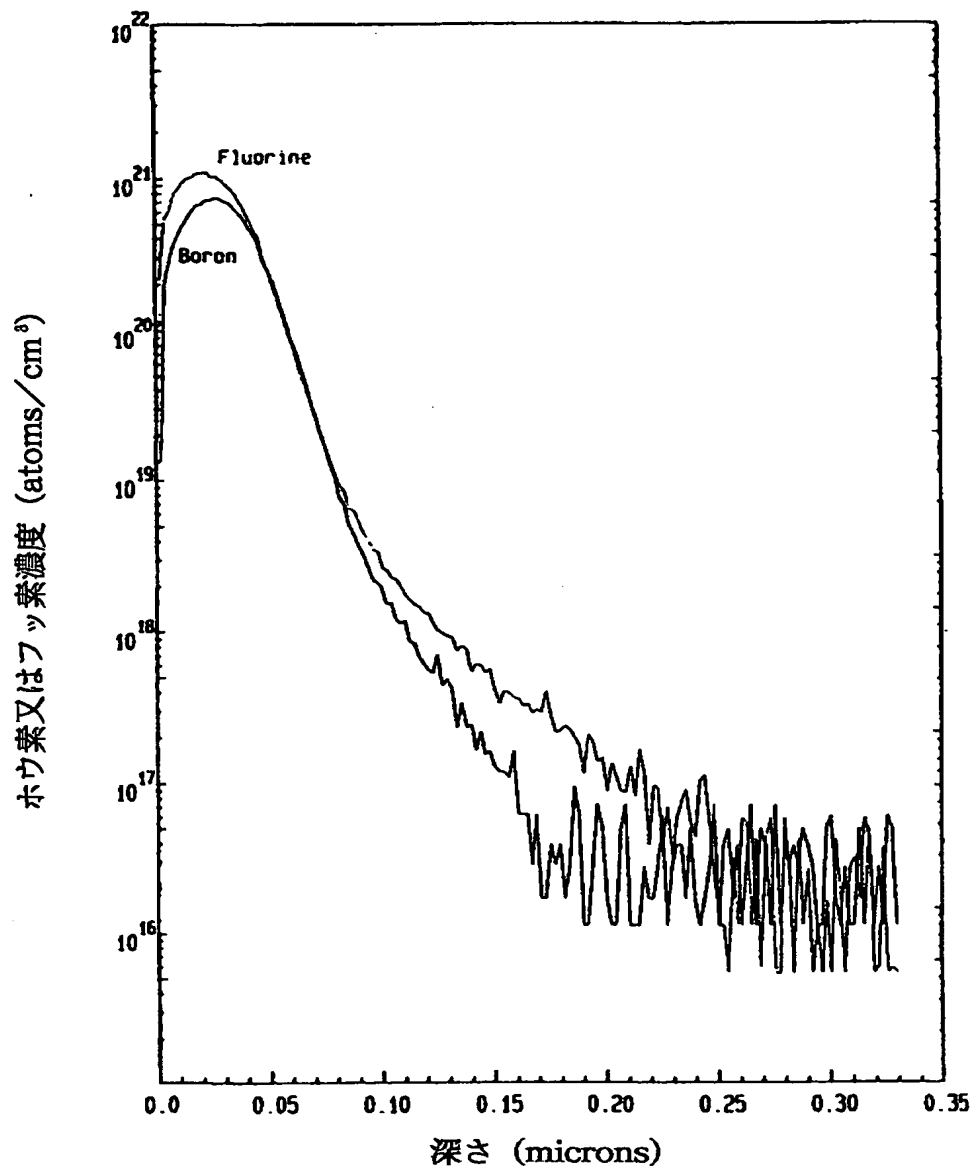


(b) 注入種 : BF⁺

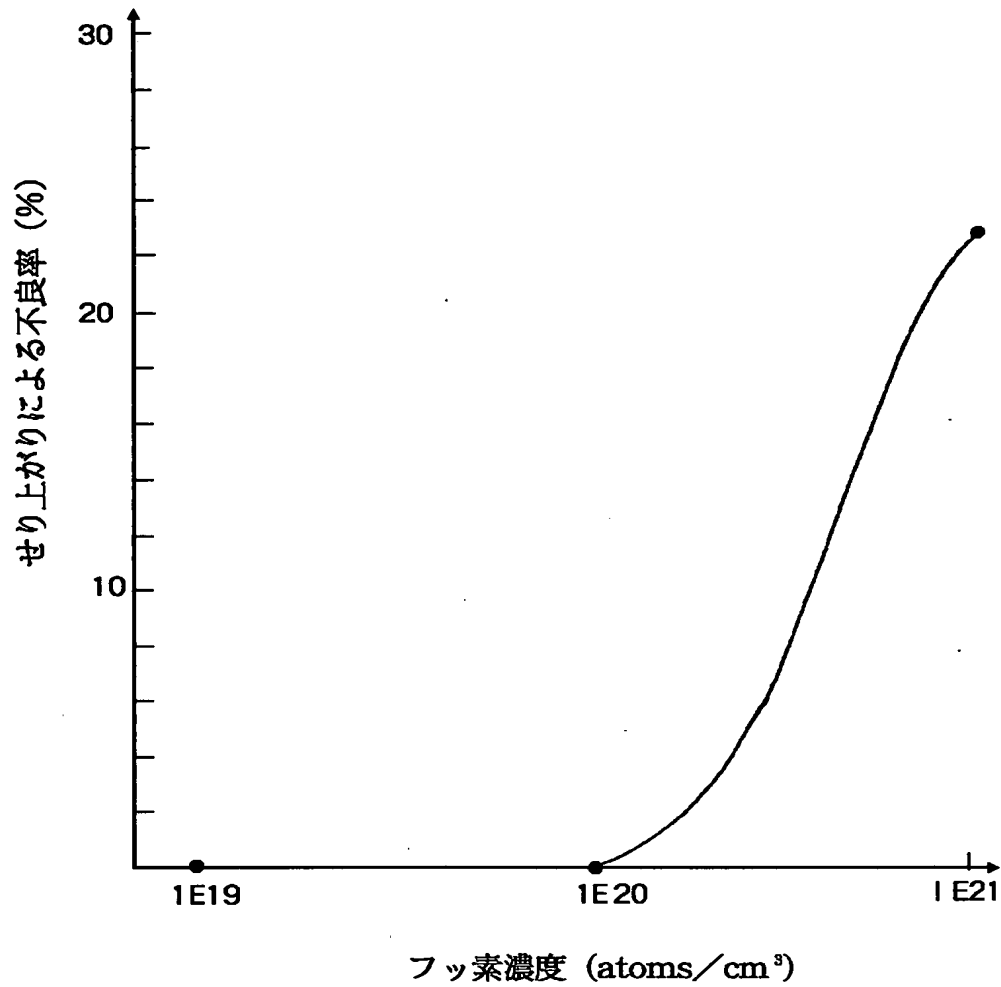


(a) 注入種 : B⁺

【図 8】



【図 9】



せり上がりによる不良率とフッ素濃度の関係

【書類名】 要約書

【要約】

【課題】 半導体装置等に適用されるTiシリサイドの形成法に関し、特にゲート電極と拡散層間又は隣り合う拡散層間の電氣的ショートによる不良を防止し、安定して良品得る。

【解決手段】 素子分離領域形成工程と、サイドウォール形成工程と、拡散層形成工程と、活性化工程と、シリサイド形成工程と、除去工程とを含む半導体装置の製造方法であって、素子分離領域形成工程は、半導体基板上にフィールド酸化膜を形成し素子分離領域を形成する工程であり、不純物を半導体基板に導入し拡散層を形成するために、前記不純物の元素のフッ化物（イオン注入種）を注入後、活性化工程の前に活性化のための熱処理温度よりも低温で熱処理を行い、イオン注入種から生成したフッ素を外部へ放出させることを特徴とする半導体装置の製造方法。

【選択図】 図1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000004237

【住所又は居所】

東京都港区芝五丁目7番1号

【氏名又は名称】

日本電気株式会社

【代理人】

申請人

【識別番号】

100070219

【住所又は居所】

東京都港区赤坂1丁目9番20号 第16興和ビル
8階 若林国際特許事務所

【氏名又は名称】

若林 忠

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社